

Simulation in der Xilinx ISE Umgebung mit Modelsim

1. Möglichkeiten des Erstellens eines VHDL TestbenchFiles

In der Xilinx Entwicklungsumgebung kann mit einem Wizzard ein VHDL Testbench File Erstellt werden. Dies enthält aber nur einen Kopf mit Signalnamen und es ist erheblicher Editieraufwand erforderlich, um eine Simulation zum Laufen zu bringen.

Schneller geht es über den Weg des Erstellens eines „Testbench Waveform“ Files mit einem Wizzard, bei dem bei Erstellen zusätzlich die Möglichkeit besteht ein oder mehrere Clocksignale zu definieren.

Danach können dann noch in einem Waveform Viewer per Mausklick alle vorkommenden Signale zu bestimmten Zeitpunkten auf bestimmte Werte gesetzt werden.

Hier gibt es die Einschränkung, dass dieses immer nur für genau 1 bis n-Perioden passieren kann, und dass auch keine automatische Überprüfung der Simulation möglich ist, so das diese Art der Simulation nur sehr grob ist.

Für den Fall, das diese Simulation nicht reicht, kann aber auf einfache Art und Weise aus dem „Testbench Waveform“ File ein „VHDL Testbench“ File erstellt werden, in der die Stimulidaten aus dem „Testbench Waveform“ File enthalten sind.

Dieses wird im Folgenden beschrieben.

2. Erstellen eines „Testbench Waveform“ Files

Dazu im Fenster „Sources in Project“ auf das VHDL Modul gehen für das eine Testdatei erstellt werden soll.

Hier Rechte Maustaste betätigen und „New Source auswählen“

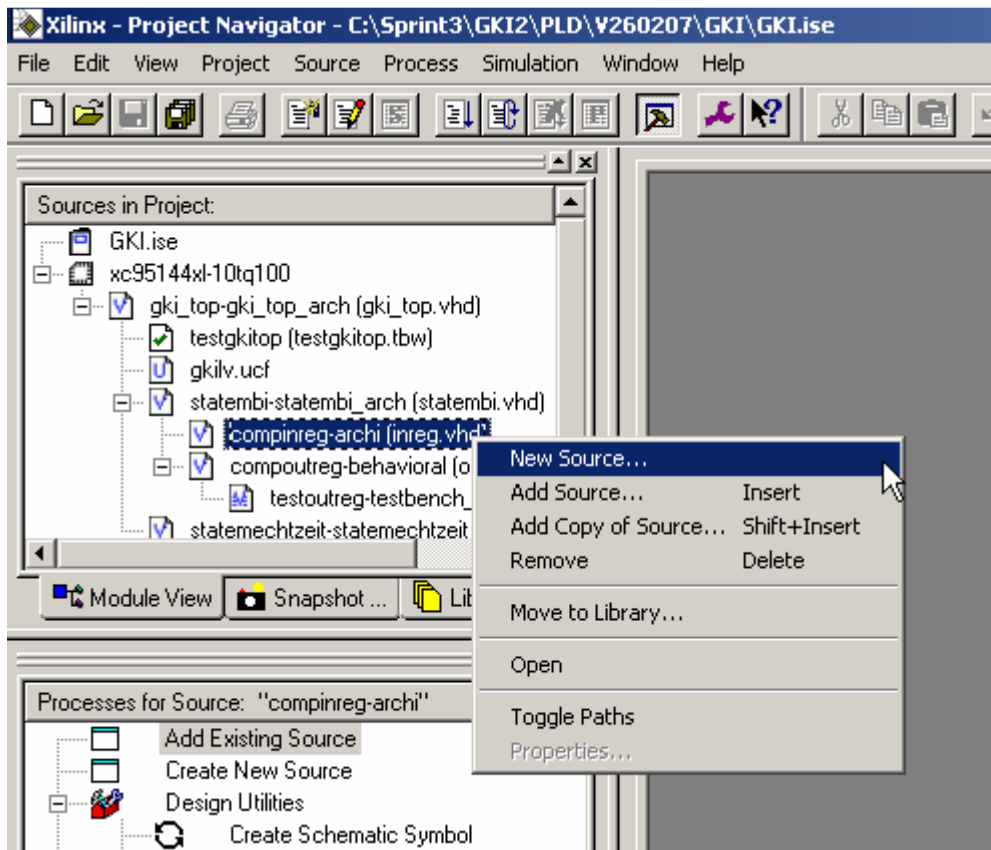


Bild 1

Im folgenden Fenster „Test Bench Waveform auswählen“ und einen Filenamen für die Simulationsdatei wählen. Hier im Beispiel „testInReg“

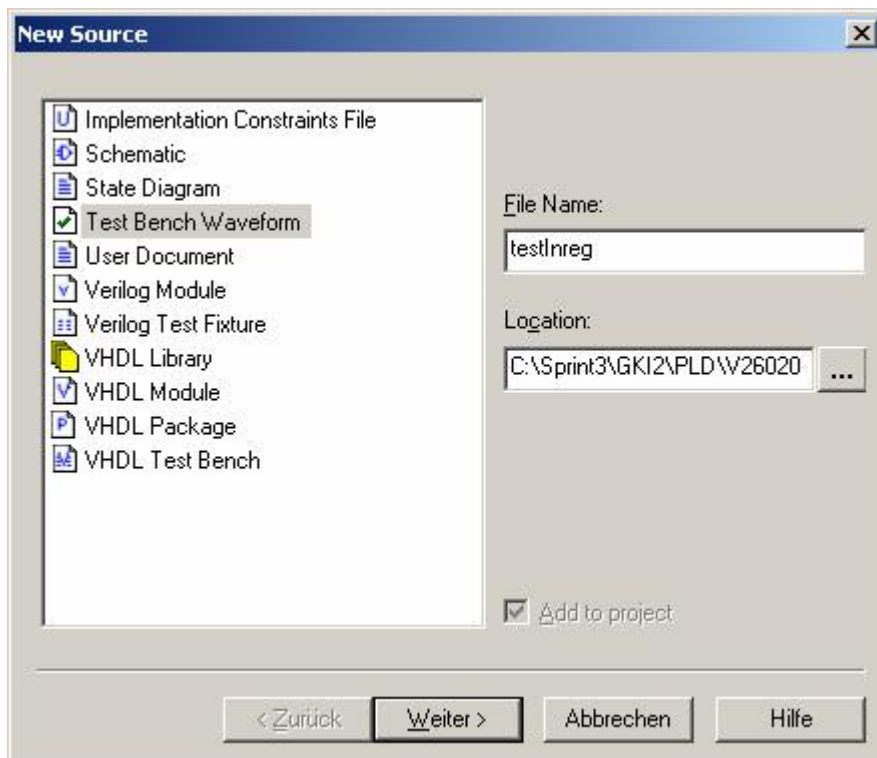


Bild 2

Nach Button Weiter erscheint Fenster „Select“

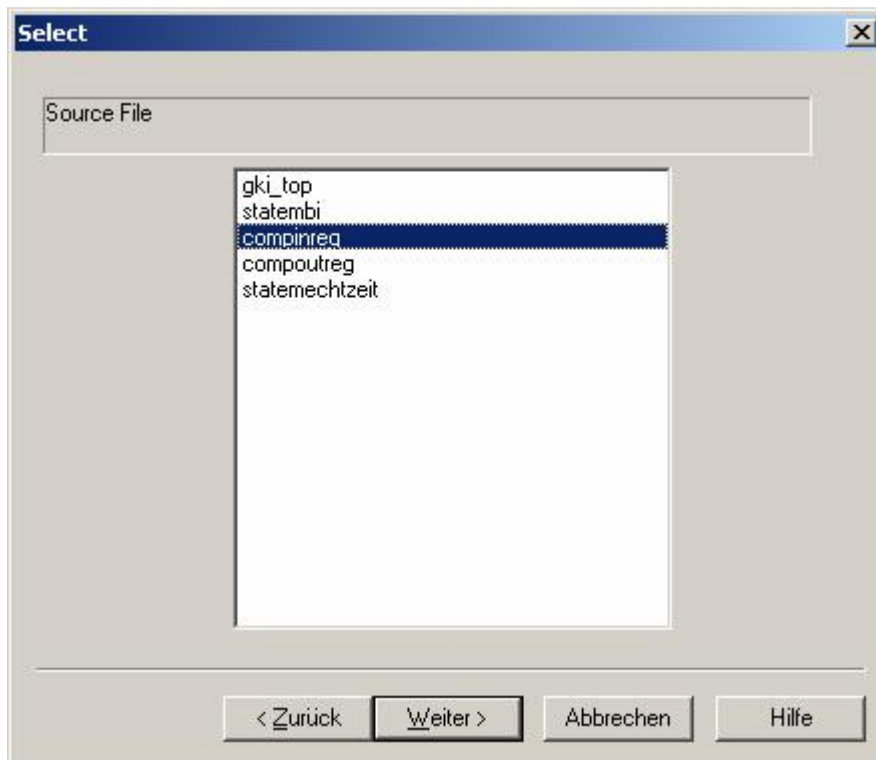


Bild 3

Hier ist bereits das Modul markiert das beim Auswählen in Sources in Project“ gewählt wurde.
Für diese Modul wird beim Klick auf „Weiter“ und nach Bestätigen des folgenden Fensters „New Source Information“ das Fenster „Initialize Timing angezeigt“

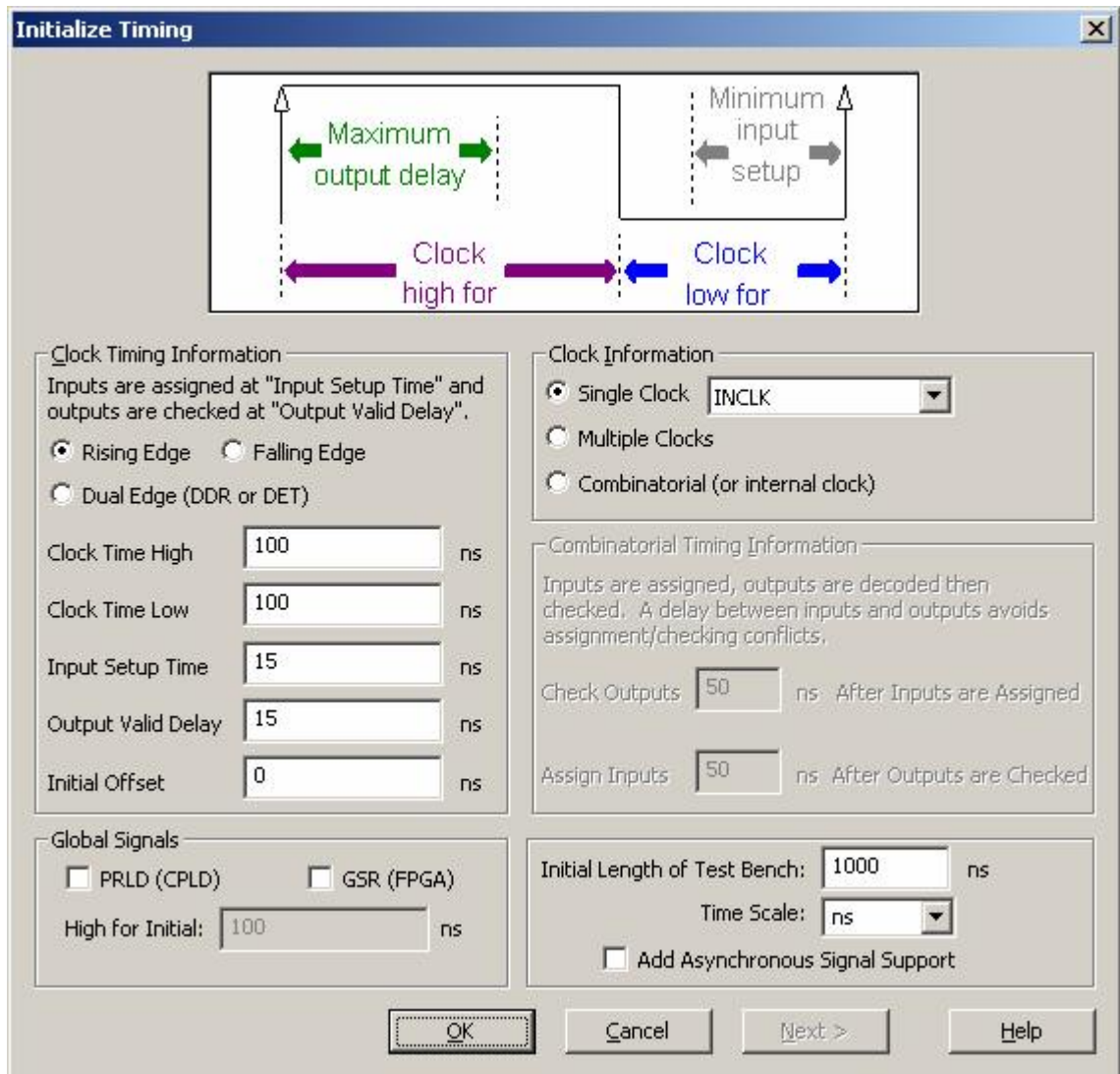


Bild 4

In diesen Fenster können nun die Signale definiert werden, bei den in der Simulation ein regelmäßiger Takt erscheinen soll.

Nach Klick von Button „OK“ wird ein Fenster mit allen in dem Modul vorkommenden Signalen angezeigt.

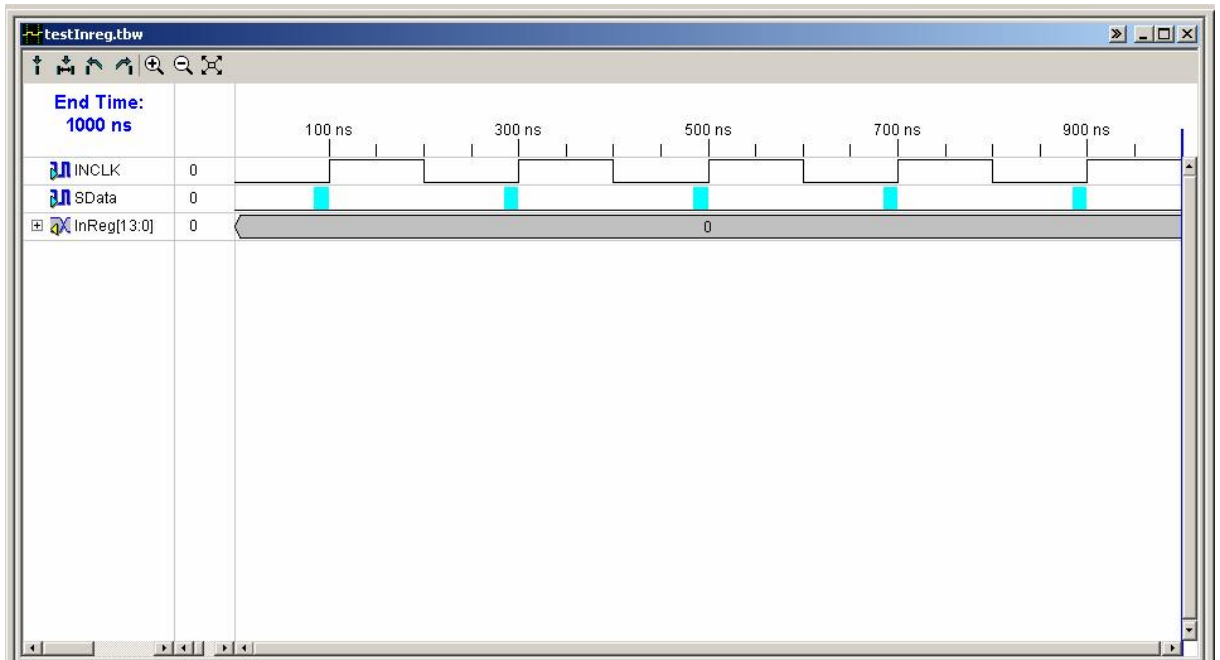


Bild 5

In diesem Fenster kann durch Klick auf die entsprechende Position im Signal der Verlauf des Signals ab der Stelle geändert werden. Einfach probieren. Die Gesamtzeit der Simulation kann durch Rechtsklick auf „End Time:“ und folgendem Auswählen von „Set End of Testbench“ eingestellt werden.

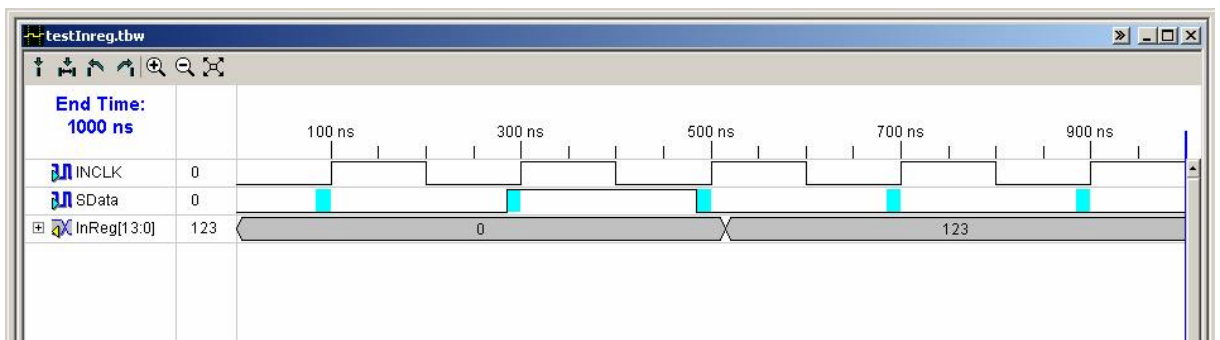


Bild 6

Damit sind die Möglichkeiten der Grafischen Eingabe weitgehend ausgeschöpft.

Jetzt muss die Testbench Waveform noch abgespeichert werden durch Klick auf



oder CTRL+S.

Im Fenster „Sources in Project“ erscheint nun ein neuer Eintrag mit der Testbench Waveform Datei. Hier im Beispiel die Datei „testInreg(TestInreg.tbw“

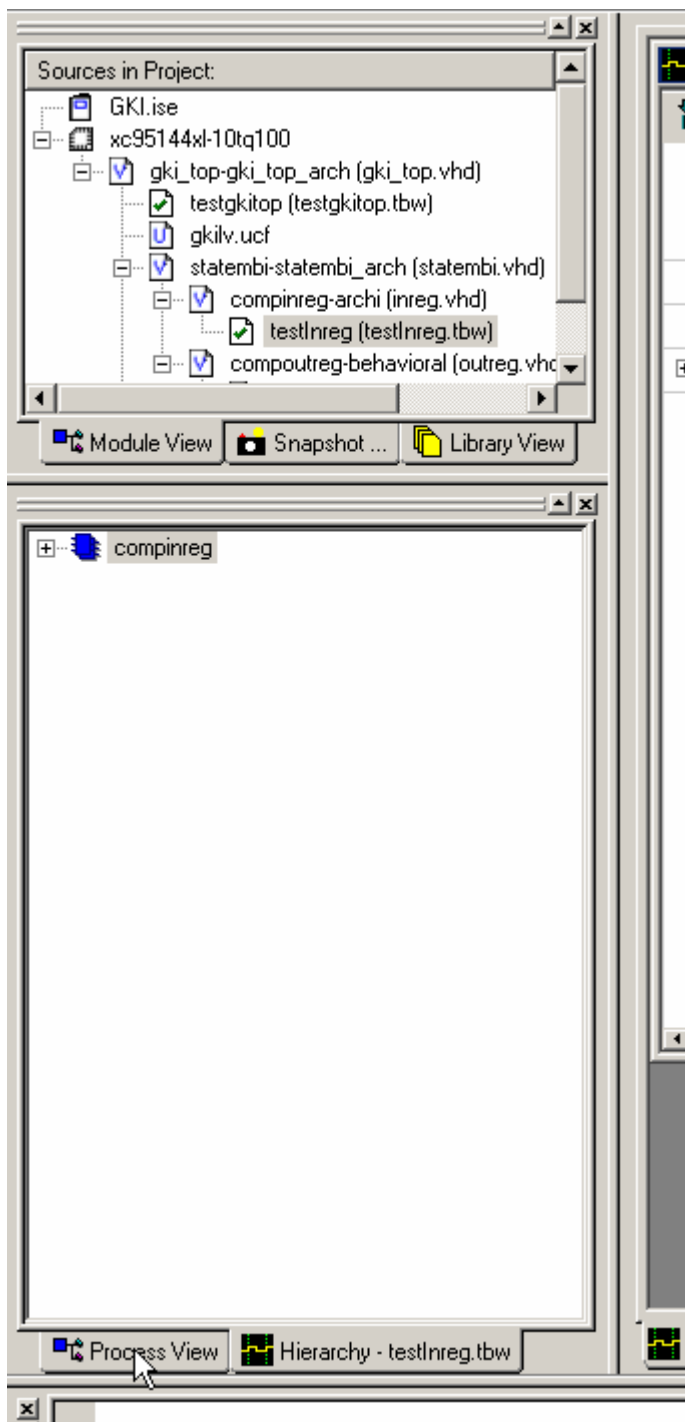


Bild 7

Die neue Datei anwählen und unten im Fenster (Bild 7 :siehe Mauszeiger) auf „Process View“ klicken.

ACHTUNG: An dieser Stelle aufpassen, dass das „Testbench Waveform“ File selektiert wird und nicht z.B. das VHDL Modul, sonst läuft im folgenden Modellsim zwar auch los, aber es wird nichts simuliert.

Es erscheint folgende Ansicht:

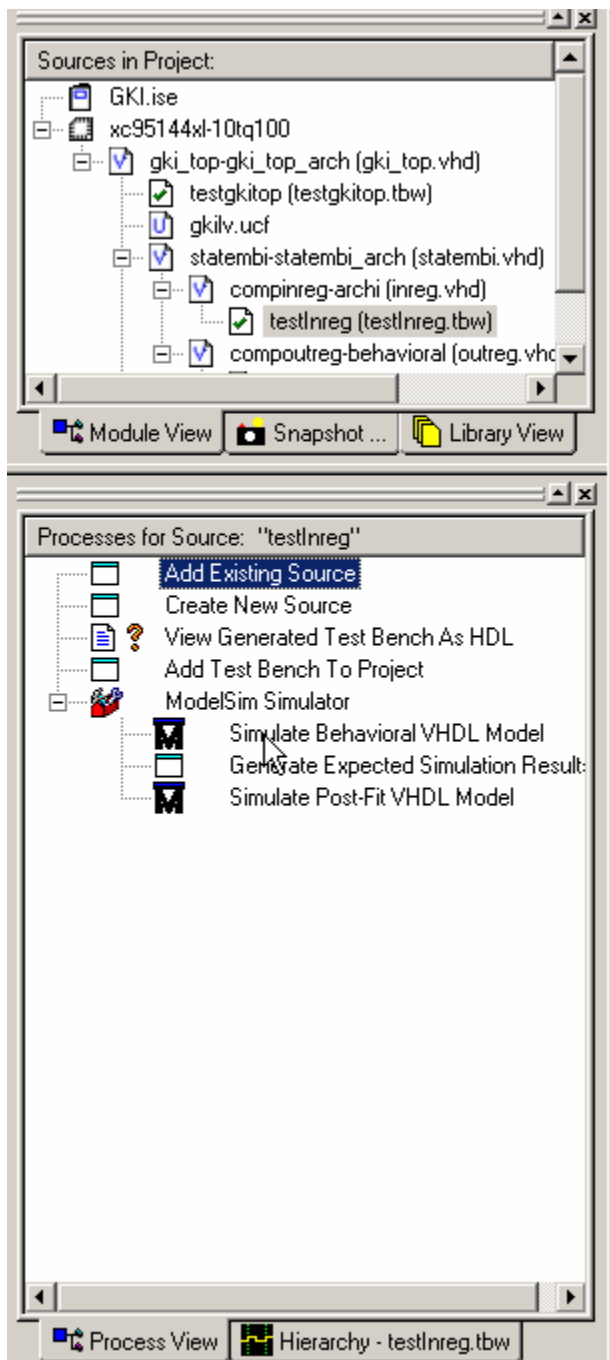


Bild 8

Hier kann nun die Simulation durch Klick auf „Simulate Behavioral VHDL Model“ gestartet werden.

In Modelsim wird dann das Ergebnis der Simulation angezeigt.

Bis hier hin ist dies der normale Ablauf zum Simulieren einer „Testbench Waveform“

3. Erstellen eines „VHDL Testbench“ Files aus dem zuvor erstellten Testbench Waveform“ File.

Wenn die Simulation gestartet wird, wird von der Xilinx Entwicklungsumgebung im Design Directory ein File mit der Endung „vhw“ angelegt, hier im Beispiel das File „testInReg.vhw“.

Dies entspricht dem zuvor definierten Simulationsfile, ist aber ein VHDL Testbench File.

ACHTUNG: Die einzige Angabe die nicht in dem File steht, ist Gesamtzeit der Simulation, diese muss später in den Eigenschaften von „Simulate Behavioral VHDL Model“ eingetragen werden.

Dies File nun mit Explorer oder einem anderen Dateimanager umbenennen in „*.vhd“ also hier im Beispiel in „testInreg.vhd“.

Dann in Fenster Fenster „Sources in Project“ (Bild 7) gehen und das vorher definierte File „testInreg(TestInreg.tbw“) mit Taste „Entf“ aus Project löschen.

Nun geht’s wieder los wie am Anfang mit dem Fenster „Sources in Project“ (Bild1) nur das im Folgenden „Add Source“ gewählt wird.

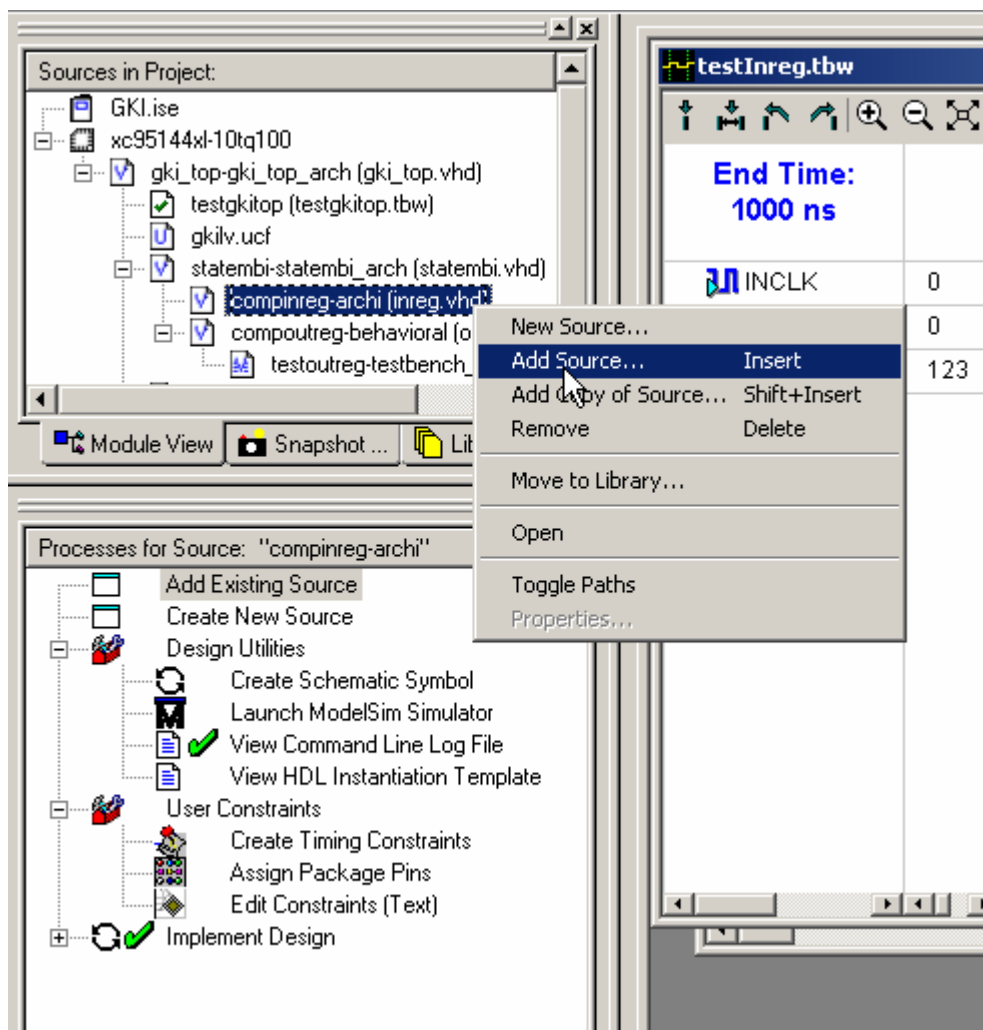


Bild 9

Nun geht ein Filebrowser auf, in dem unter anderem die zuvor umbenannte Datei

„*.vhd“ (hier im Beispiel „testInreg.vhd“) angezeigt wird.

Diese auswählen, dann erscheint folgendes Fenster

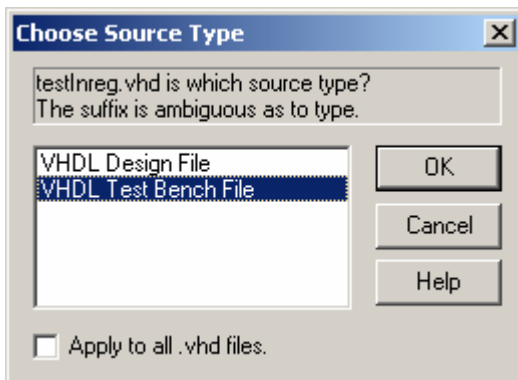


Bild 10

Hier „VHDL Testbench File“ auswählen und bestätigen.

Nun taucht das gewählte File an passender Position im „Sources in Project“ Fenster auf.

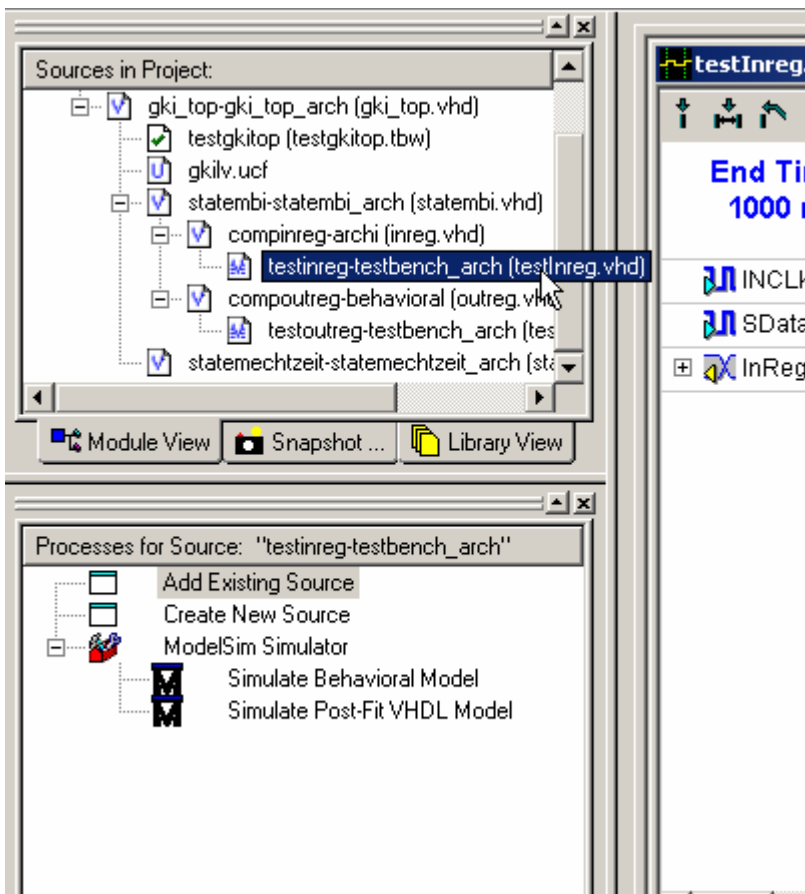


Bild 11

Im unteren Fenster „Processes for Source“ könnte nun schon durch Doppelklick auf „Simulate Behavioral Model“ die Simulation gestartet werden, da aber die Gesamtsimulationszeit nicht im „VHDL Testbench“ File steht, muss diese noch wie gewünscht eingestellt werden.

Dazu im Fenster „Processes for Source“ mit rechter Maustaste auf „Simulate Behavioral Model“ klicken und dann „Properties“ anwählen.

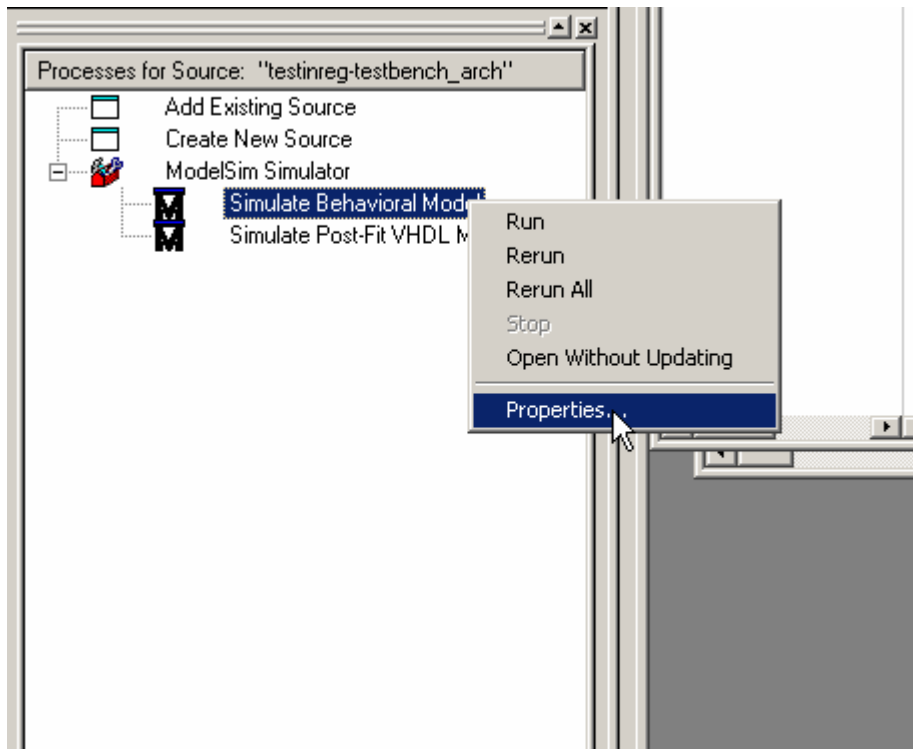


Bild 12

Im folgenden Fenster kann dann die Gesamtsimulationszeit in der Zeile „Simulation Run Time“ eingestellt werden.

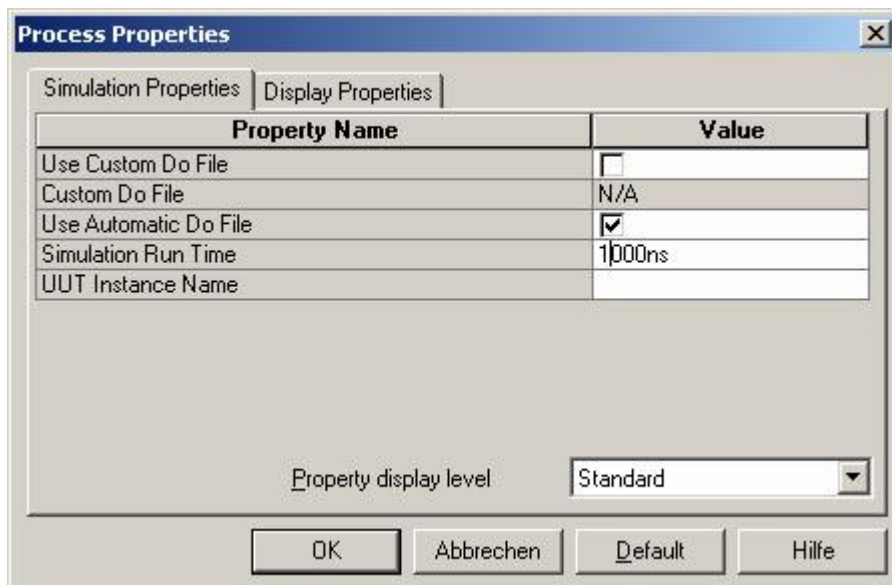


Bild 13

Fenster schließen und durch Doppelklick auf „Simulate Behavioral Model“ nun die Simulation starten.

Das *.vhd Testbench File (hier z.B. testInreg.vhd) kann jetzt um sämtliche Kommandos, die in der „Modelsim Command Reference“ beschrieben sind erweitert werden.