

Auslaufmodell VHDL

EDA-Markt schrumpft 2002 erstmals

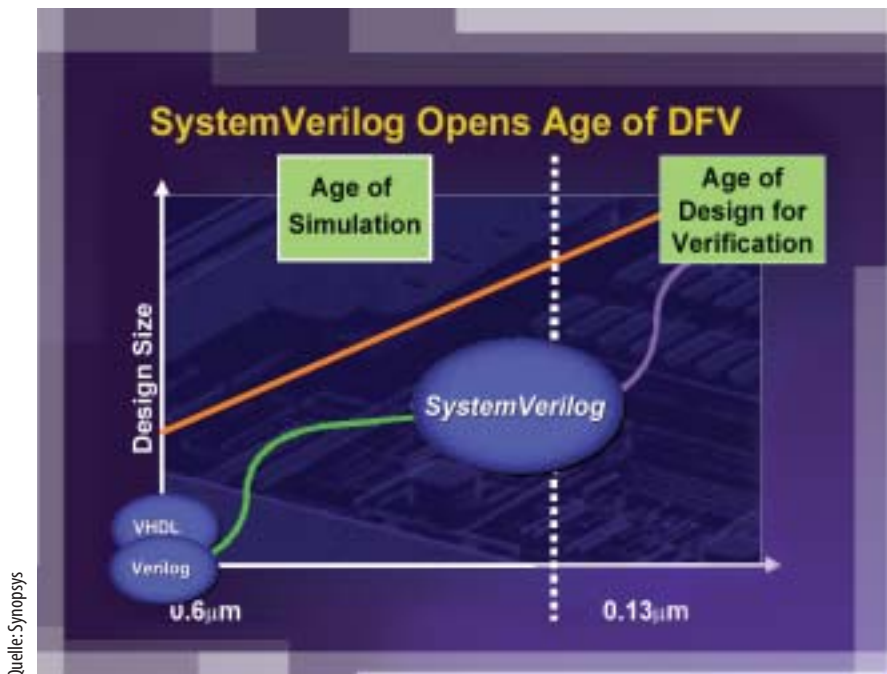


Abb. 1: System Verilog soll die Verifikation beschleunigen und die Produktivitätslücke schließen helfen.

Die Marktzahlen beweisen, dass EDA-Werkzeuge sich zwar nicht von der Entwicklung der Halbleiterbranche ganz abkoppeln können, aber in vielen Fällen als unverzichtbare Investition angesehen werden. Die Tool-Hersteller hoffen, die strategische Bedeutung ihrer Produkte bei ihren Kunden noch weiter ausbauen zu können. Moores Law arbeitet ihnen dabei in die Hände. Der rasante Fortschritt in der Halbleiterindustrie fordert allerdings auch prominente Opfer. VHDL könnte eines davon sein.

FRANZ JOACHIM ROßMANN

2002 war weder für Anbieter von EDA-Werkzeugen noch für deren Anwender ein erfreuliches Jahr. Dies spiegeln schon die vom EDA Consortium veröffentlichten Marktzahlen wider. Der Umsatz mit Produkten, Wartung und Services belief sich demnach für das vergangene Jahr auf 3,7 Mrd. US\$. Dies entspricht einem Rückgang von sieben Prozent gegenüber 2001. Walden C. Rhines, Präsident des EDA Consortiums sowie Präsident und CEO von Mentor Graphics ist trotz dieser Entwicklung nicht ganz unzufrieden: „Die EDA-Industrie musste 2002 einen moderaten Rückgang hinnehmen, in Anbetracht des Absturzes der Halbleiterindustrie ein Ergebnis das zeigt, wie wichtig EDA-Produkte für diese Industrie sind.“ Trotzdem ist die Situation für die erfolgsverwöhnte EDA-Branche ungewohnt. Seit 1994 – solange lässt das Consortium Marktstatistiken erstellen – wies die Statistik kein ‚Minuswachstum‘ für ein Jahr aus. Die Entwicklung im vierten Quartal lässt auch nicht gerade Enthusiasmus aufkommen: Der Umsatz erreichte nur eine Marke von 907 Mio. US\$, 13 Prozent weniger als im letzten Jahr. Für Europa weisen die Zahlen einen Rückgang um 15 Prozent auf einen Jahresumsatz von 690 Mio. US\$ aus. Diese Region musste

damit die größten Umsatzeinbußen hinnehmen. Der Rest der Welt (ROW) legte dagegen kräftig zu und expandierte um 14 Prozent auf 316 Mio. US\$, konnte aber die zurückgehenden Umsätze in den Industrienationen nicht ausgleichen.

Trotz der Zahlen sehen die EDA-Unternehmen keinen Grund zur öffentlichen Klage. Zwar ist die Aktienkapitalisierung der Anbieter gesunken, „das ist aber durch die Entwicklung der Kurse in der Halbleiterbranche verursacht, fundamentale Gründe dafür gibt es keine“, meint Rhines.

Das abgelaufene Jahr war aber nicht nur durch sinkende Umsätze, sondern auch von einem weiteren Konzentrationsschub gekennzeichnet. Der größte Merger, das Zusammengehen von Avanti und Synopsys, hat die Zahl der großen Global Player auf drei schrumpfen lassen. Rhines will darin aber keine Gefahr für die kleinen Anbieter sehen: „Es gibt genug Nischen, die auch Start-Ups besetzen und dominieren können.“

Die Kunden werden allerdings nach Ansicht von Aart de Geus, Präsident und CEO von Synopsys, immer häufiger kleine Anbieter vermeiden: ▶



Aart de Geus, Präsident und CEO von Synopsys

„Der Kostendruck, das gestiegenen finanzielle Risiko und die steigenden Design-Herausforderungen haben dazu geführt, dass Kunden die Zahl der Lieferanten reduzieren wollen.“ Bei Designkosten von 10 Mio. US\$ ein verständlicher Wunsch, meint auch Ray Bingham, Präsident und CEO von Cadence Design Systems.

Die Kunden werden allerdings auch kleine Tool-Anbieter drängen, neue Lösungen zu entwickeln: Etablierte Werkzeuge kommen durch die immer kleineren Siliziumstrukturen und der damit einhergehenden ansteigenden Komplexität der Designs und den auftretenden Deep-Sub-Micron-Effekten an ihre Grenzen. Darüber hinaus gilt es Lücken im Designflow zu schließen und parallel existierende Methoden in einem Werkzeug zusammenzuführen, wie es z. B. für das effektive Entwickeln von Mixed-Signal-Bauelementen erforderlich ist.

Die Verantwortung für die entstandene Lücke zwischen erreichbarer Designproduktivität und nutzbarer Siliziumtechnologie will Bingham allerdings nicht allein bei der EDA-Industrie gesucht wissen: „Erst werden Milliarden in neue Fertigungstechnologien und Fabs investiert und erst dann machen sich Halbleiterhersteller darüber Gedanken, wie die Designtechnologie und -Methodik aussehen müsste.“

Bei diesem Ansatz ist kaum vermeidbar, dass die Entwicklung und Etablierung entsprechender Werkzeuge dem Stand der Siliziumtechnologie hinterher hinken wird. Natürlich müssen erst einmal die Parameter der Technologie bekannt sein, bevor man mit der Arbeit an einem neuem Werkzeug beginnen kann. Trotzdem zeigt Bingham für Hersteller Verständnis, die sich über die Design-Gap beschweren. „Die haben schließlich riesige Summen investiert und möchten möglichst schnell ihre Fabs auslasten.“ Beide Seiten sind daher daran interessiert die Zusammenarbeit zu verstärken, damit die EDA-Unternehmen möglichst früh neue Fertigungstechnologien kennen lernen und mit der Entwicklung ihrer Werkzeuge beginnen können.

Trotzdem gibt es eine ‚natürliche‘ Reihenfolge: Erst müssen die physikalischen Parameter und Effekte ausreichend untersucht und bekannt sein bevor die Tool-Entwicklung starten kann. Für de Geus sind aber auch die hohen Investitionen bei der Entwicklung dieser Werkzeuge für die Produktivitätslücke mit verantwortlich. Zudem brauche es auch eine gewisse Zeit, bis ein Produkt ausgereift sei. Dass sich die Lücke nicht ganz schließen lässt, hat nach Ansicht von de Geus darüber hinaus etwas mit der fehlenden Bereitschaft der Anwender zu tun, neue Methodiken anzunehmen. „Anwender setzen eine neue Methode erst ein, wenn die damit adressierten Probleme groß sind.“

Die Chancen beurteilen die Marktführer für ihre Unternehmen aber durchwegs positiv. De Geus erwartet sogar eine Verschiebung des Gleichgewichts zu Gunsten der EDA-Unternehmen. „Die aktuellen Halbleitertechnologien stellen in Bezug auf den Yield eine große Herausforderung dar. EDA kann hier helfen“. Er räumt allerdings auch ein, dass viele entsprechende Design-for-Manufacturing-Tools bereits an ihre Grenzen gestoßen sind. „Designregeln reichen nicht mehr aus, die Werkzeuge müssen mit Intelligenz ausgestattet sein.“



Ray Bingham, Präsident und CEO von Cadence Design Systems

Gerade die Probleme der Produzierbarkeit haben zu einer weiteren Fragmentierung der Tool-Landschaft geführt (Dataquest führt in seinen Marktstatistiken über 60 EDA-Nischenmärkte auf). Dass die Integration der Tools verbessert werden muss, liegt da klar auf der Hand. Wie dies umgesetzt werden soll, darüber sind sich die Primusse der Branche nicht einig. Cadence und Synopsys setzen bei ihren Tools auf eine durchgängige Datenbanken. „Das Ein- und Auslesen der Daten kostet bei allen Designflows sonst mehr Zeit als die eigentliche Verwendung des Tools“, schildert Bingham das Problem. Rhines ist von diesem Ansatz trotzdem nicht überzeugt: „Wir haben bewiesen, dass durchgängige Datenbanken nicht funktionieren“.



Walden C. Rhines, Präsident des EDA Consortiums sowie Präsident und CEO von Mentor Graphics

Gerade für die Verifikation setzen Anwender viele und unterschiedliche Werkzeuge ein, die jeweils eigene Beschreibungssprachen voraussetzen. Zusätzlich verschärft wird die Situation, da eines der am häufigsten eingesetzten Verfahren, die Simulation, sich nicht mehr weiter ausbreiten lässt und den steigenden Anforderungen nicht mehr gewachsen ist. Selbst der massive Einsatz von Linux-Rechnerfarmen stellt keine Lösung dar. Daher ist ein neuer Ansatz für die Verifikation von Multimillionendesigns notwendig. „Design-for-Test muss dabei mit Design-for-Re-Use gekoppelt werden“, fordert de Geus. Cadence setzt auf die Kombination von Simulation, Hardwarebeschleunigung und Emulation. Gerade der hohe Preis für die Emulatoren hat aber bisher viele Kunden abgeschreckt. Das soll jetzt anders werden. „Wir bieten mit unserer Verifikationsplattform und den neuen Lizenzmodell erstmals Emulation für jedermann“, sagt Bingham.

Für Art de Geus ist zur Bewältigung der Verifikationsprobleme die Einführung eines weiteren Abstraktionsschritts unumgänglich. Er setzt dabei klar auf System Verilog: „System Verilog ist attraktiver, weil es 100-prozentige Kompatibilität zu Verilog und zudem Vorteile in Bezug auf die Simulationsgeschwindigkeit gegenüber VHDL bietet.“ Dieses Urteil birgt Brisantes, besonders für europäische Anwender. Sie setzen zur Beschreibung der Schaltungshardware vorrangig VHDL ein. Europäische Unternehmen wird es nicht erfreuen, dass sie neue Werkzeuge anschaffen, ihre Ingenieure umschulen müssen und gegebenenfalls alten Code nicht weiterverwenden können. „VHDL-Designer werden sich mit der Zeit System Verilog anschauen müssen“, kündigt de Geus an. Diese Aussage lässt keinen anderen Schluss zu: Die Zeit für VHDL läuft ab. (jr)

Beitrag als PDF im Internet:

www.publish-industry.net  more @ click DV53252